

Docket No.: 60188-156

*#3
Helen
5/102*
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Masahiro FUKUI, et al. :
Serial No.: : Group Art Unit:
Filed: March 01, 2002 : Examiner:



For: WIRING METHOD IN LAYOUT DESIGN OF SEMICONDUCTOR INTEGRATED
CIRCUIT, SEMICONDUCTOR INTEGRATED CIRCUIT AND FUNCTIONAL
MACRO

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

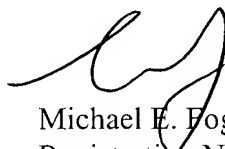
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-063491, filed March 7, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prp
Date: March 1, 2002
Facsimile: (202) 756-8087

60188-153
FUKUI et al.
March 1, 2002

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 7日

出 願 番 号

Application Number:

特願2001-063491

[ST.10/C]:

[JP2001-063491]

出 願 人

Applicant(s):

松下電器産業株式会社

J1046 U.S. PRO

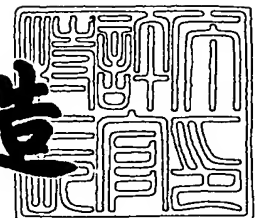
10/085009



2002年 2月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3004380

【書類名】 特許願

【整理番号】 5037620160

【提出日】 平成13年 3月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 福井 正博

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路のレイアウト設計におけるバス配線方法及び半導体集積回路

【特許請求の範囲】

【請求項 1】 半導体集積回路のレイアウト設計において複数ビットのバス配線を平面的又は立体的に且つ平行に配線するバス配線方法であって、

前記複数ビットのバス配線をビットの昇順又は降順に配線するに際し、

所定ビット目以上の上位ビットのバス配線同士を所定間隔隔てて隣接して配置すると共に、

前記所定ビット目未満の下位ビットのバス配線同士を前記所定間隔を越える距離間隔隔てて隣接して配置する

ことを特徴とする半導体集積回路のレイアウト設計におけるバス配線方法。

【請求項 2】 半導体集積回路のレイアウト設計において複数のバス配線を平面的又は立体的に且つ平行に配線するバス配線方法であって、

前記複数のバス配線の各々に対して、自己のバス配線を伝播する信号の単位時間当たりの信号変化頻度を推定又はシミュレーションにより求め、

前記各バス配線の信号変化頻度に基づいて、信号変化頻度の多いバス配線と信号変化頻度の少ないバス配線とが隣接しないように、前記複数のバス配線を配置する

ことを特徴とする半導体集積回路のレイアウト設計におけるバス配線方法。

【請求項 3】 前記複数のバス配線の配置は、

複数のバス配線で複数ビットの信号を伝達する場合に、ビットの昇順又は降順に拘わらず、各バス配線の信号変化頻度に基づいて行われる

ことを特徴とする請求項 2 記載の半導体集積回路のレイアウト設計におけるバス配線方法。

【請求項 4】 前記複数のバス配線の配置は、

信号変化頻度の多いバス配線を、信号変化頻度の少ないバス配線で挟むように行われる

ことを特徴とする請求項 2 記載の半導体集積回路のレイアウト設計におけるバ

ス配線方法。

【請求項 5】 半導体集積回路のレイアウト設計において複数ビットのバス配線を平面的又は立体的に且つ平行に配線するバス配線方法であって、

前記複数ビットのバス配線を配線するに際し、所定ビット目以上の 1 本のバス配線と前記所定ビット目未満のバス配線とを隣接して配置し、

前記所定ビット目以上の他のバス配線と前記所定ビット目未満の他のバス配線とを隣接して配置することを繰り返す

ことを特徴とする半導体集積回路のレイアウト設計におけるバス配線方法。

【請求項 6】 最上位ビットから降順に所定の配線間隔の 2 倍の配線間隔で所定ビット目までバス配線を平面的に且つ平行に配置し、

前記配置されたバス配線間に最下位ビットから昇順にバス配線を平面的に且つ平行に配置する

ことを特徴とする請求項 5 記載の半導体集積回路のレイアウト設計におけるバス配線方法。

【請求項 7】 最下位ビットのバス配線を所定位置に配置する第 1 工程と、

最上位側から 2 ビット分のバス配線を、前記最下位ビットのバス配線の左右両側の位置に配置する第 2 工程と、

最下位側から 2 ビット分の未配置のバス配線を、前記第 2 工程で配置された最上位側から 2 ビット分のバス配線の左右両側の位置に配置する第 3 工程と、

最上位側から 2 ビット分の未配置のバス配線を、前記第 3 工程で配置された最下位側から 2 ビット分のバス配線の左右両側の位置に配置する第 4 工程と、

前記第 3 及び第 4 工程を全ビットのバス配線が配置されるまで繰り返す第 5 工程と

を有することを特徴とする請求項 5 記載の半導体集積回路のレイアウト設計におけるバス配線方法。

【請求項 8】 半導体集積回路のレイアウト設計において複数ビットのバス配線を n ($n \geq 2$) 層の配線層を用いて立体的に且つ平行に配線するバス配線方法であって、

最下位ビットのバス配線を所定の配線層に配置する第 1 工程と、

最上位から複数ビット分のバス配線を、前記第 1 工程で配置された最下位ビットのバス配線を取り囲むように、前記最下位ビットのバス配線と同層の配線層及び他の配線層に配置する第 2 工程と、

最下位から複数ビット分の未配置のバス配線を、前記第 2 工程で配置された最上位から複数ビット分のバス配線を取り囲むように、前記最上位から複数ビット分のバス配線と同層の配線層及び他の配線層に配置する第 3 工程と、

前記第 2 及び第 3 工程を全ビットのバス配線が配置されるまで繰り返す第 4 工程と

を有することを特徴とする半導体集積回路のレイアウト設計におけるバス配線方法。

【請求項 9】 n 層の配線層は 2 層の配線層であり、

前記第 1 工程において最下位ビットのバス配線を下側の層の所定位置に配置し

前記第 2 工程において最上位から 3 ビット分のバス配線を、前記最下位ビットのバス配線の左右両側及び上方に位置するように下側及び上側の配線層に配置し

前記第 3 工程において最下位から 4 ビット分の未配置のバス配線を、前記最上位から 3 ビット分のバス配線の左右両側に位置するように下側及び上側の配線層に配置し、

前記第 4 工程において前記第 2 及び第 3 工程を全ビットのバス配線が配置されるまで繰り返す

ことを特徴とする請求項 8 記載の半導体集積回路のレイアウト設計におけるバス配線方法。

【請求項 10】 n 層の配線層は 2 層の配線層であり、

前記第 1 工程において最下位ビットのバス配線を上側の層の所定位置に配置し

前記第 2 工程において最上位から 3 ビット分のバス配線を、前記最下位ビットのバス配線の左右両側及び下方に位置するように上側及び下側の配線層に配置し

前記第 3 工程において最下位から 4 ビット分の未配置のバス配線を、前記最上位から 3 ビット分のバス配線の左右両側に位置するように上側及び下側の配線層に配置し、

前記第 4 工程において前記第 2 及び第 3 工程を全ビットのバス配線が配置されるまで繰り返す

ことを特徴とする請求項 8 記載の半導体集積回路のレイアウト設計におけるバス配線方法。

【請求項 1 1】 n 層の配線層は 3 層の配線層であり、

前記第 1 工程において最下位ビットのバス配線を中央の配線層の所定位置に配置し、

前記第 2 工程において最上位から 4 ビット分のバス配線を、前記最下位ビットのバス配線の左右両側及び上下方に位置するように中央、上側及び下側の配線層に配置し、

前記第 3 工程において最下位から 6 ビット分の未配置のバス配線を、前記最上位から 4 ビット分のバス配線の左右両側及び上下方に位置するように中央、上側及び下側の配線層に配置し、

前記第 4 工程において最上位から 6 ビット分の未配置のバス配線を、前記第 3 工程で配置した最下位から 4 ビット分のバス配線の左右両側及び上下方に位置するように中央、上側及び下側の配線層に配置し、

その後、前記第 3 工程及び第 4 工程を全ビットのバス配線が配置されるまで繰り返す

ことを特徴とする請求項 8 記載の半導体集積回路のレイアウト設計におけるバス配線方法。

【請求項 1 2】 複数ビットのバス配線がビットの昇順及び降順で平面的又は立体的に且つ平行に配線された半導体集積回路であって、

前記複数ビットのバス配線のうち、所定ビット目未満の下位バス配線の配線間隔は、前記所定ビット目以上の上位バス配線の配線間隔よりも広い

ことを特徴とする半導体集積回路。

【請求項 1 3】 複数のバス配線が平面的又は立体的に且つ平行に配線された

半導体集積回路であって、

前記複数のバス配線は、各バス配線を伝播する信号の信号変化頻度の昇順又は降順では並んでいない

ことを特徴とする半導体集積回路。

【請求項 1 4】 複数のバス配線は複数ビットのバス配線であり、

前記複数ビットのバス配線は、ビットの昇順又は降順に依らない並びで配置されている

ことを特徴とする請求項 1 3 記載の半導体集積回路。

【請求項 1 5】 信号変化頻度の多いバス配線は、信号変化頻度の少ない 2 本のバス配線によって挟まれている

ことを特徴とする請求項 1 3 記載の半導体集積回路。

【請求項 1 6】 複数のバス配線の配線幅は、各々、 $0.18\mu\text{m}$ 以下である

ことを特徴とする請求項 1 3、1 4 又は 1 5 記載の半導体集積回路。

【請求項 1 7】 複数のバス配線は、複数のアドレスバスである

ことを特徴とする請求項 1 3、1 4、1 5 又は 1 6 記載の半導体集積回路。

【請求項 1 8】 複数のバス配線を伝播する各信号は、画像又は音声のデジタル信号である

ことを特徴とする請求項 1 3、1 4、1 5 又は 1 6 記載の半導体集積回路。

【請求項 1 9】 複数のバス配線と、

所定の処理を行い、前記複数のバス配線に各々前記所定の処理の結果の信号を出力する処理回路と、

前記複数のバス配線と前記処理回路との間に配置され、前記処理回路から出力される信号の並び順を、信号の信号変化頻度の昇順又は降順で並ばないように変更し、この変更した順の前記出力信号を前記複数のバス配線に伝達するスイッチ手段とを備えた

ことを特徴とする半導体集積回路。

【請求項 2 0】 前記複数のバス配線に伝達された各々の信号を受信する受信回路と、

前記複数のバス配線と前記受信回路との間に配置され、前記複数のバス配線に

伝達された各々の信号の並び順を信号の信号変化頻度の昇順又は降順に変更し、この変更した順の各信号を前記受信回路に伝達する他のスイッチ手段とを備えたことを特徴とする請求項 1 9 記載の半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体集積回路のレイアウト設計方法におけるバス配線方法及び、複数のバス配線を有する半導体集積回路に関する。

【0 0 0 2】

【従来の技術】

従来の一般的なバス配線方法により配線した半導体集積回路の要部を図 9 に示す。同図において、1 0 (0) は最下位ビットである第 0 ビット目の下位ビット配線、1 0 (1) は第 1 ビット目の下位ビット配線、1 0 (2) は第 2 ビット目の下位ビット配線、2 0 (k) は最上位である第 k ビット目の上位ビット配線、2 0 (k - 1) は第 k - 1 ビット目の上位ビット配線、2 0 (k - 2) は第 k - 2 ビット目の上位ビット配線であって、各々のバス配線を最下位の第 0 ビットから昇順に、又は最上位ビットから降順に並べて配置する。また、各バス配線の配線間隔も同一距離に設定される。この場合、下位ビット同士、上位ビット同士が並ぶ配置格好となる。

【0 0 0 3】

図 1 0 は、配線間容量の説明図である。平行に走る 2 本のバス配線 1、2 を想定すると、その間には必然的に寄生容量を生じ、これを配線間容量 3 という。2 本のバス配線の何れか一方がデジタル信号の 0 から 1 に変化し、他方が逆に 1 から 0 に変化することを信号が逆相に変化するという。前記の近接した平行バス配線 1、2 において、互いの信号が逆相に変化した場合には、双方間の寄生容量（前記配線間容量 3 と同義）に存在する電荷を引き合うため、信号の伝播遅延が大きくなる。

【0 0 0 4】

半導体の微細化製造技術の進展は非常に早く、0. 5 μ m 以前の微細化レベル

では、配線間隔は十分に取られており、従って寄生容量の値も小さく、前述した信号遅延の増大の問題は生じなかったが、 $0.35\mu\text{m}$ 、 $0.25\mu\text{m}$ 程度の微細化レベルから、一部の高速伝播させるバス配線に関しては問題として取り上げられ、 $0.18\mu\text{m}$ 以降の微細化レベルでは、その問題がプロセスを更新する毎により顕著になると同時に、配線間容量による動作を正確に把握することが難しいことと相まって、予期せぬ設計不具合を招く場合も見受けられるようになってきた。

【0005】

従来、前記信号遅延の増大の問題を解決するための技術として、高速動作の必要な場合には、配線間距離を長く離すようにルールを設定したり、バス配線間に別途にシールド配線を平行に走らせたり、又はバス配線をツイスト（交差）させる等の方法を採用している。

【0006】

【発明が解決しようとする課題】

しかしながら、前記従来の技術では、配線間距離を長く設定したり、シールド配線を設けたり、ツイストさせる等の何れの技術も、半導体集積回路の面積の増大という犠牲を払う必要があった。しかも、信号の変化頻度の多い配線同士を平行配置すると、両信号が同時間に逆相に変化する確率が高くなるが、図9に示した従来のバス配線方法では、多ビットのバス配線のうち、下位ビットは上位ビットに比して信号の変化頻度が大きく、従って、このような下位ビットのバス配線同士を平行に並べて近接配置する場合には、信号の逆相への同時変化に伴い信号の伝播遅延が増大して、半導体集積回路の動作に不具合が生じる確率が顕著に高くなる。

【0007】

本発明の目的は、複数のバス配線を備える半導体集積回路をレイアウト設計する場合において、面積の増加を小さく抑えつつ、その複数の平行バス配線間の信号の干渉を有効に抑制できるバス配線方法、及びそのような信号相互間の干渉が有効に抑制された半導体集積回路を提供することにある。

【0008】

【課題を解決するための手段】

以上の目的を達成するため、本発明では、複数のバス配線を備える場合、各配線を伝播する信号は、相互にその信号の変化頻度が異なる点、特に多ビットのバス配線では上位ビットの信号線は下位ビットの信号線に比べて非常に信号変化頻度が少ない点に着目し、これ等複数のバス配線をその信号変化頻度に基づいて適切に平行配置することにより、信号相互間の干渉を有効に抑制する。

【0009】

即ち、請求項1記載の発明の半導体集積回路のレイアウト設計におけるバス配線方法は、半導体集積回路のレイアウト設計において複数ビットのバス配線を平面的又は立体的に且つ平行に配線するバス配線方法であって、前記複数ビットのバス配線をビットの昇順又は降順に配線するに際し、所定ビット目以上の上位ビットのバス配線同士を所定間隔隔てて隣接して配置すると共に、前記所定ビット目未満の下位ビットのバス配線同士を前記所定間隔を越える距離間隔隔てて隣接して配置することを特徴とする。

【0010】

請求項2記載の発明の半導体集積回路のレイアウト設計におけるバス配線方法は、半導体集積回路のレイアウト設計において複数のバス配線を平面的又は立体的に且つ平行に配線するバス配線方法であって、前記複数のバス配線の各々に対して、自己のバス配線を伝播する信号の単位時間当たりの信号変化頻度を推定又はシミュレーションにより求め、前記各バス配線の信号変化頻度に基づいて、信号変化頻度の多いバス配線と信号変化頻度の少ないバス配線とが隣接しないように、前記複数のバス配線を配置することを特徴とする。

【0011】

請求項3記載の発明は、前記請求項2記載の半導体集積回路のレイアウト設計におけるバス配線方法において、前記複数のバス配線の配置は、複数のバス配線で複数ビットの信号を伝達する場合に、ビットの昇順又は降順に拘わらず、各バス配線の信号変化頻度に基づいて行われることを特徴とする。

【0012】

請求項4記載の発明は、前記請求項2記載の半導体集積回路のレイアウト設計

におけるバス配線方法において、前記複数のバス配線の配置は、信号変化頻度の多いバス配線を、信号変化頻度の少ないバス配線で挟むように行われることを特徴とする。

【 0 0 1 3 】

請求項 5 記載の発明の半導体集積回路のレイアウト設計におけるバス配線方法は、半導体集積回路のレイアウト設計において複数ビットのバス配線を平面的又は立体的に且つ平行に配線するバス配線方法であって、前記複数ビットのバス配線を配線するに際し、所定ビット目以上の 1 本のバス配線と前記所定ビット目未満のバス配線とを隣接して配置し、前記所定ビット目以上の他のバス配線と前記所定ビット目未満の他のバス配線とを隣接して配置することを繰り返すことを特徴とする。

【 0 0 1 4 】

請求項 6 記載の発明は、前記請求項 5 記載の半導体集積回路のレイアウト設計におけるバス配線方法において、最上位ビットから降順に所定の配線間隔の 2 倍の配線間隔で所定ビット目までバス配線を平面的に且つ平行に配置し、前記配置されたバス配線間に最下位ビットから昇順にバス配線を平面的に且つ平行に配置することを特徴とする。

【 0 0 1 5 】

請求項 7 記載の発明は、前記請求項 5 記載の半導体集積回路のレイアウト設計におけるバス配線方法において、最下位ビットのバス配線を所定位置に配置する第 1 工程と、最上位側から 2 ビット分のバス配線を、前記最下位ビットのバス配線の左右両側の位置に配置する第 2 工程と、最下位側から 2 ビット分の未配置のバス配線を、前記第 2 工程で配置された最上位側から 2 ビット分のバス配線の左右両側の位置に配置する第 3 工程と、最上位側から 2 ビット分の未配置のバス配線を、前記第 3 工程で配置された最下位側から 2 ビット分のバス配線の左右両側の位置に配置する第 4 工程と、前記第 3 及び第 4 工程を全ビットのバス配線が配置されるまで繰り返す第 5 工程とを有することを特徴とする。

【 0 0 1 6 】

請求項 8 記載の発明の半導体集積回路のレイアウト設計におけるバス配線方法

は、半導体集積回路のレイアウト設計において複数ビットのバス配線を n ($n \geq 2$) 層の配線層を用いて立体的に且つ平行に配線するバス配線方法であって、最下位ビットのバス配線を所定の配線層に配置する第 1 工程と、最上位から複数ビット分のバス配線を、前記第 1 工程で配置された最下位ビットのバス配線を取り囲むように、前記最下位ビットのバス配線と同層の配線層及び他の配線層に配置する第 2 工程と、最下位から複数ビット分の未配置のバス配線を、前記第 2 工程で配置された最上位から複数ビット分のバス配線を取り囲むように、前記最上位から複数ビット分のバス配線と同層の配線層及び他の配線層に配置する第 3 工程と、前記第 2 及び第 3 工程を全ビットのバス配線が配置されるまで繰り返す第 4 工程とを有することを特徴とする。

【 0 0 1 7 】

請求項 9 記載の発明は、前記請求項 8 記載の半導体集積回路のレイアウト設計におけるバス配線方法において、 n 層の配線層は 2 層の配線層であり、前記第 1 工程において最下位ビットのバス配線を下側の層の所定位置に配置し、前記第 2 工程において最上位から 3 ビット分のバス配線を、前記最下位ビットのバス配線の左右両側及び上方に位置するように下側及び上側の配線層に配置し、前記第 3 工程において最下位から 4 ビット分の未配置のバス配線を、前記最上位から 3 ビット分のバス配線の左右両側に位置するように下側及び上側の配線層に配置し、前記第 4 工程において前記第 2 及び第 3 工程を全ビットのバス配線が配置されるまで繰り返すことを特徴とする。

【 0 0 1 8 】

請求項 1 0 記載の発明は、前記請求項 8 記載の半導体集積回路のレイアウト設計におけるバス配線方法において、 n 層の配線層は 2 層の配線層であり、前記第 1 工程において最下位ビットのバス配線を上側の層の所定位置に配置し、前記第 2 工程において最上位から 3 ビット分のバス配線を、前記最下位ビットのバス配線の左右両側及び下方に位置するように上側及び下側の配線層に配置し、前記第 3 工程において最下位から 4 ビット分の未配置のバス配線を、前記最上位から 3 ビット分のバス配線の左右両側に位置するように上側及び下側の配線層に配置し、前記第 4 工程において前記第 2 及び第 3 工程を全ビットのバス配線が配置され

るまで繰り返すことを特徴とする。

【 0 0 1 9 】

請求項 1 1 記載の発明は、前記請求項 8 記載の半導体集積回路のレイアウト設計におけるバス配線方法において、 n 層の配線層は 3 層の配線層であり、前記第 1 工程において最下位ビットのバス配線を中央の配線層の所定位置に配置し、前記第 2 工程において最上位から 4 ビット分のバス配線を、前記最下位ビットのバス配線の左右両側及び上下方に位置するように中央、上側及び下側の配線層に配置し、前記第 3 工程において最下位から 6 ビット分の未配置のバス配線を、前記最上位から 4 ビット分のバス配線の左右両側及び上下方に位置するように中央、上側及び下側の配線層に配置し、前記第 4 工程において最上位から 6 ビット分の未配置のバス配線を、前記第 3 工程で配置した最下位から 4 ビット分のバス配線の左右両側及び上下方に位置するように中央、上側及び下側の配線層に配置し、その後、前記第 3 工程及び第 4 工程を全ビットのバス配線が配置されるまで繰り返すことを特徴とする。

【 0 0 2 0 】

請求項 1 2 記載の発明の半導体集積回路は、複数ビットのバス配線がビットの昇順及び降順で平面的又は立体的に且つ平行に配線された半導体集積回路であって、前記複数ビットのバス配線のうち、所定ビット目未満の下位バス配線の配線間隔は、前記所定ビット目以上の上位バス配線の配線間隔よりも広いことを特徴とする。

【 0 0 2 1 】

請求項 1 3 記載の発明の半導体集積回路は、複数のバス配線が平面的又は立体的に且つ平行に配線された半導体集積回路であって、前記複数のバス配線は、各バス配線を伝播する信号の信号変化頻度の昇順又は降順では並んでいないことを特徴とする。

【 0 0 2 2 】

請求項 1 4 記載の発明は、前記請求項 1 3 記載の半導体集積回路において、複数のバス配線は複数ビットのバス配線であり、前記複数ビットのバス配線は、ビットの昇順又は降順に依らない並びで配置されていることを特徴とする。

【 0 0 2 3 】

請求項 1 5 記載の発明は、前記請求項 1 3 記載の半導体集積回路において、信号変化頻度の多いバス配線は、信号変化頻度の少ない 2 本のバス配線によって挟まれていることを特徴とする。

【 0 0 2 4 】

請求項 1 6 記載の発明は、前記請求項 1 3、1 4 又は 1 5 記載の半導体集積回路において、複数のバス配線の配線幅は、各々、 $0.18\mu\text{m}$ 以下であることを特徴とする。

【 0 0 2 5 】

請求項 1 7 記載の発明は、前記請求項 1 3、1 4、1 5 又は 1 6 記載の半導体集積回路において、複数のバス配線は、複数のアドレスバスであることを特徴とする。

【 0 0 2 6 】

請求項 1 8 記載の発明は、前記請求項 1 3、1 4、1 5 又は 1 6 記載の半導体集積回路において、複数のバス配線を伝播する各信号は、画像又は音声のデジタル信号であることを特徴とする。

【 0 0 2 7 】

請求項 1 9 記載の発明の半導体集積回路は、複数のバス配線と、所定の処理を行い、前記複数のバス配線に各々前記所定の処理の結果の信号を出力する処理回路と、前記複数のバス配線と前記処理回路との間に配置され、前記処理回路から出力される信号の並び順を、信号の信号変化頻度の昇順又は降順で並べないように変更し、この変更した順の前記出力信号を前記複数のバス配線に伝達するスイッチ手段とを備えたことを特徴とする。

【 0 0 2 8 】

請求項 2 0 記載の発明は、前記請求項 1 9 記載の半導体集積回路において、前記複数のバス配線に伝達された各々の信号を受信する受信回路と、前記複数のバス配線と前記受信回路との間に配置され、前記複数のバス配線に伝達された各々の信号の並び順を信号の信号変化頻度の昇順又は降順に変更し、この変更した順の各信号を前記受信回路に伝達する他のスイッチ手段とを備えたことを特徴とす

る。

【 0 0 2 9 】

以上により、請求項 1 及び 1 2 記載の発明では、複数ビットのバス配線をビットの昇順又は降順に配線する場合に、信号の変化頻度が多い所定ビット目未満の下位ビットのバス配線間の配線間隔が広く設定されるので、これ等バス配線間の配線容量が小さくなって、これ等バス配線間の信号の逆相変化に伴う遅延の増大に起因する半導体集積回路の動作の不具合が有効に抑制ないし解消される。しかも、所定ビット目以上の上位ビットのバス配線間は前記の広く設定された配線間隔よりも狭い通常の配線間隔に設定されるので、全バス配線間の配線間隔を前記広い配線間隔に設定する場合に比して、半導体集積回路の面積の増大を有効に抑えることが可能である。

【 0 0 3 0 】

また、請求項 2 ～ 1 1 及び請求項 1 3 ～ 2 0 記載の発明では、複数のバス配線を配置する場合に、信号変化頻度の多いバス配線と信号変化頻度の少ないバス配線とが隣接しないように配置されるので、信号変化頻度の多いバス配線に対して、信号変化頻度の少ないバス配線がシールド配線と同様の作用を奏し、また、可能な限り 2 本のバス配線の信号が相互に逆相に変化する確率が低減される。その結果、信号変化頻度の多いバス配線間の信号の逆相変化に起因する半導体集積回路の動作の不具合が有効に抑制ないし解消される。しかも、複数のバス配線を各々伝播する信号の配列順序を変更するのみであるので、半導体集積回路の面積を不要に増大させることを防止できる。

【 0 0 3 1 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を用いながら説明する。

【 0 0 3 2 】

(第 1 の実施の形態)

まず、幾つかの信号について、上位ビットの信号と下位ビットの信号の振る舞いの違いについて検討する。

【 0 0 3 3 】

バス信号の例として、(a)全くランダムなコントロールバス、(b)コンピュータのプログラムの逐次処理やデータのアクセスを制御するアドレスバス、(c)画像や音声等をアナログ／デジタル変換した情報、(d)順序機械における遷移状態等をデジタルにコード化したデータ等が代表的である。これ等のうち、多くの割合を占めるバスは前記(b)及び(c)である。この(b)及び(c)は明らかにビット間に信号変化頻度の相違が認められる。先ず、(b)のアドレスバスに関しては、計算機によりプログラムの処理を行う場合を想定すると、命令コードのほぼ8割から9割程度が連続したアドレスを順次アクセスするものである。例外は分岐命令であるが、これも、プログラムの格納されているアドレス範囲が限られており、そのアドレス範囲を超えてまでアクセスすることは無い。アドレスバスは2進数で表現されているため、連続したアドレス変化や、範囲の限定されたアドレス変化の場合は、下位ビットほど信号が変化する確率が高い。このことは数学的に証明できる。

【 0 0 3 4 】

次に、画像(輝度、色合い等で構成される)や音声情報(周波数、音量等で構成される)の場合、人間がTVやステレオで見たり聞いたりする情報は、短い時間(例えば1クロック時間)に急激なアナログ値の変化が起こる確率は低い。短い時間で変化すると、人間の感覚では認識されず、単なるノイズとしかならないからである。従って、この(c)の場合も、前記(b)のアドレスバスの場合と同様に、非常に限定された範囲での値の変化となる。従って、やはり下位ビットほど信号の変化する確率が高い。

【 0 0 3 5 】

前記(a)及び(d)の場合は、信号の変化頻度は概ね各ビット相互で同程度であり、本発明の対象外である。

【 0 0 3 6 】

従って、以下に説明する第1～第8の実施の形態では、複数のバス配線は複数のアドレスバスであることが望ましい。また、これ等バス配線を伝播する信号は画像又は音声のデジタル信号であることが望ましい。更に、複数のバス配線の各配線幅は特に限定されず、幅広であっても本願発明の範囲内にあるが、特に配線

幅が $0.18\mu\text{m}$ 以下である場合には本願発明の効果が顕著に発揮され、予期せぬ設計不具合を効果的に抑制できる。

【 0 0 3 7 】

図 1 は本発明の第 1 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。同図において、 $10(0)$ は最下位ビットである第 0 ビット目の下位ビットのバス配線、 $10(1)$ は第 1 ビット目の下位ビットのバス配線、 $10(2)$ は第 2 ビット目の下位ビットのバス配線、 $20(k)$ は最上位である第 k ビット目の上位ビットのバス配線、 $20(k-1)$ は第 $k-1$ ビット目の上位ビットのバス配線、 $20(k-2)$ は第 $k-2$ ビット目の上位ビットのバス配線であって、各々のバス配線を最下位の第 0 ビット目から昇順に、又は最上位ビットから降順に並べて配置する。

【 0 0 3 8 】

前記複数本 (k 本) のバス配線について、上位ビットのバス配線 $20(k)$ 、 $20(k-1)\cdots$ 同士では配線間隔は所定配線間隔 T_h に設定されて隣接して配置され、下位ビットのバス配線 $10(0)$ 、 $10(1)\cdots$ 同士では配線間隔は前記所定配線間隔 T_h を越える距離間隔 T_l に設定されて隣接して配置される。

【 0 0 3 9 】

下位ビットとすべきバス配線の本数、換言すれば下位ビットと上位ビットの境目となる所定ビット目のバス配線は、予想されるデータ (信号) の分布にもよるが、信号の変化頻度が所定値よりも大きくなるようなビット目のバス配線を選定する。ここで、信号の変化頻度 (各バス配線の単位時間当たりの信号の変化率) は、各バス配線を伝播する信号の統計的な解析により、値の分布と、1 クロック変化した場合の値の変化範囲の分布とから推定することが可能であるし、またシミュレーションによっても求めることができる。

【 0 0 4 0 】

本実施の形態では、下位ビットのバス配線間の配線容量を小さくすることができ、信号の同時逆相変化による遅延の増大に起因して半導体集積回路の動作が不具合となる確率を下げることができる。

【 0 0 4 1 】

更に、従来のように全てのバス配線の配線間隔を広げる場合には、バス配線の配線のための面積の増加度合いも大きくなってしまいが、本実施の形態では、信号の変化頻度の多い下位ビットのバス配線のみの配線間隔を広げているので、半導体集積回路の面積の増大を小さく抑えることが可能である。

【 0 0 4 2 】

(第 2 の実施の形態)

図 2 は本発明の第 2 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。本実施の形態では、前記信号変化頻度が大きな値をとる下位ビットのバス配線 1 0 を、信号変化頻度が小さな値をとる上位ビットのバス配線 2 0 によって挟むようにバス配線を配線する。

【 0 0 4 3 】

従って、本実施の形態では、信号変化頻度が大きな下位ビットのバス配線 1 0 に対して、信号変化頻度の少ない上位ビットのバス配線 2 0 がシールドの役目を果たし、信号伝播の遅延の増大をできるだけ低減することが可能である。

【 0 0 4 4 】

(第 3 の実施の形態)

図 3 は本発明の第 3 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。本実施の形態では、最下位の第 0 ビット、第 1 ビット、第 2 ビット…の下位ビットのバス配線 1 0 (0)、1 0 (1)、1 0 (2)…を昇順に所定の配線間隔の 2 倍の配線間隔で平面的に且つ平行に配線し、所定ビット目のバス配線の配線を終了すると、その後、最上位の第 n ビット、第 n - 1 ビット、第 n - 2 ビット…の上位ビットのバス配線 2 0 (n)、2 0 (n - 1)、2 0 (n - 2)…を降順に前記下位ビットのバス配線間の中間位置に平面的に且つ平行に配置する。

【 0 0 4 5 】

従って、本実施の形態では、信号変化頻度の多い下位ビットのバス配線 1 0 (0)、1 0 (1)…を信号変化頻度の少ない上位ビットのバス配線 2 0 (n)、2 0 (n - 1)…によって挟み込む構造となるので、下位ビットのバス配線 1 0 (0)、1 0 (1)…に対して上位ビットのバス配線 2 0 (n)、2 0 (n - 1)…がシールドの役目を果たし、その結果、信号伝播の遅延の増大を極力減らすことができる。

【 0 0 4 6 】

尚、本実施の形態では、最初に下位ビットのバス配線を配置し、その後にそれらバス配線の間に上位ビットのバス配線を配置したが、逆に、最初に上位ビットのバス配線を配置し、その後にそれらバス配線の間に下位ビットのバス配線を配置しても良いのは勿論である。

【 0 0 4 7 】

(第 4 の実施の形態)

図 4 は本発明の第 4 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。本実施の形態では、図 4 において、先ず最下位ビットの第 0 ビットのバス配線 1 0 (0) を例えば中央位置等の所定位置に配置する。次いで、前記第 0 ビットのバス配線 1 0 (0) の右及び左側に最上位ビットの第 n ビット及び第 $n - 1$ ビット目のバス配線 2 0 (n)、2 0 ($n - 1$) を所定の配線間隔で配置する。更に、前記配置した上位ビットのバス配線 2 0 (n)、2 0 ($n - 1$) の左右両側の位置に、未配置で且つ最下位側から 2 ビット分の第 1 及び第 2 ビット目のバス配線 1 0 (1)、1 0 (2) を所定の配線間隔で配置する。その後、前記配置した下位ビットのバス配線 1 0 (1)、1 0 (2) の左右両側の位置に、未配置で且つ最上位側から 2 ビット分の第 $n - 2$ 及び第 $n - 3$ ビット目のバス配線 2 0 ($n - 2$)、2 0 ($n - 3$) を所定の配線間隔で配置し、続いて、前記配置した上位ビットのバス配線 2 0 ($n - 2$)、2 0 ($n - 3$) の左右両側の位置に、未配置で且つ最下位側から 2 ビット分の第 3 及び第 4 ビット目のバス配線 1 0 (3)、1 0 (4) を所定の配線間隔で配置する。以下同様にして、全ビットのバス配線の配置が終了するまで、未配置且つ最上位の 2 ビット分のバス配線の配置と、未配置且つ最下位の 2 ビット分のバス配線の配置とを順次繰り返す。

【 0 0 4 8 】

従って、本実施の形態においても、前記第 3 の実施の形態と同様に、信号変化頻度の多い下位ビットのバス配線を信号変化頻度の少ない上位ビットのバス配線によって挟み込む構造となるので、下位ビットのバス配線に対して上位ビットのバス配線がシールドの役目を果たし、信号伝播の遅延の増大を極力減らすことができる。

【 0 0 4 9 】

(第 5 の実施の形態)

図 5 は本発明の第 5 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。本実施の形態では、2 層の配線層を用いてバス配線を立体的に且つ平行に配置する場合を説明する。

【 0 0 5 0 】

同図において、先ず最下位ビットのバス配線 1 0 (0) を下側の層である第 1 配線層において例えば中央位置などの所定位置に配置する。その後、上側の層 (第 2 配線層) の前記最下位ビットのバス配線 1 0 (0) の直上方の位置、及び前記最下位ビットのバス配線 1 0 (0) の左右両側の位置に、最上位側からの 3 ビット分の第 n ビット、第 $n - 1$ ビット目、第 $n - 2$ ビット目のバス配線 2 0 (n) 、 2 0 ($n - 1$) 、 2 0 ($n - 2$) を配置する。続いて、前記第 1 及び第 2 配線層に配置した最上位側のバス配線 2 0 (n) 、 2 0 ($n - 1$) 、 2 0 ($n - 2$) の左右両側に、最下位側の未配置の 4 ビット分の第 1 ～第 4 ビット目のバス配線 1 0 (1) ～ 1 0 (4) を第 1 及び第 2 配線層に配置する。、同様にして、前記配置した最下位側のバス配線 1 0 (1) ～ 1 0 (4) の左右両側に、最上位側の未配置の 4 ビット分の第 $n - 3$ ～第 $n - 6$ ビット目のバス配線 2 0 ($n - 3$) ～ 2 0 ($n - 6$) を第 1 及び第 2 配線層に配置する。以下同様にして、全ビットのバス配線が配置されるまで、未配置且つ最上位側の 4 ビット分のバス配線の配置と、未配置且つ最下位側の 4 ビット分のバス配線の配置とを順次繰り返す。

【 0 0 5 1 】

従って、本実施の形態においても、信号変化頻度の多い下位ビットのバス配線に対して、信号変化頻度の少ない上位ビットのバス配線がシールドの役目を果たすので、信号伝播の遅延の増大を極力減らすことが可能である。

【 0 0 5 2 】

(第 6 の実施の形態)

図 6 は本発明の第 6 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。本実施の形態と前記第 5 の実施の形態と異なる点は、前記第 5 の実施の形態では最初に最下位ビットのバス配線 1 0 (0) を第 1 配線層に配置したが

、本実施の形態では、最下位ビットのバス配線 1 0 (0) を第 2 配線層に配置した点である。その他のバス配線の配線方法は第 5 の実施の形態と同様であるので省略する。本実施の形態においても前記第 5 の実施の形態と同様の作用及び効果が得られる。

【 0 0 5 3 】

(第 7 の実施の形態)

図 7 は本発明の第 7 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。本実施の形態では、3 層の配線層を用いてバス配線を立体的に且つ平行に配置する場合を説明する。

【 0 0 5 4 】

同図において、先ず最下位ビットである第 0 ビットのバス配線 1 0 (0) を中央層の第 2 配線層の例えば中央位置等の所定位置に配置する。次いで、前記第 0 ビットのバス配線 1 0 (0) の直下方に位置する第 1 配線層の位置に最上位ビットである第 n ビットのバス配線 2 0 (n) を配置すると共に、直上方に位置する第 3 配線層の位置に第 $n - 1$ ビット目のバス配線 2 0 ($n - 1$) を配置し、更に第 0 ビットのバス配線 1 0 (0) の左右両側の第 2 配線層の位置に第 $n - 2$ ビット、第 $n - 3$ ビット目のバス配線 2 0 ($n - 2$)、2 0 ($n - 3$) を配置する。

【 0 0 5 5 】

続いて、前記第 1 ～第 3 配線層に配置した上位ビット側のバス配線 2 0 (n) ～2 0 ($n - 3$) の左右両側に未配置の下位ビット側の 6 ビット分の第 1 ～第 6 ビット目のバス配線 1 0 (1) ～1 0 (6) を第 1 ～第 3 配線層に配置する。以下同様にして、前記配置した下位ビット側の 6 本のバス配線 1 0 (1) ～1 0 (6) の左右両側に上位ビット側の未配置の 6 ビット分の第 $n - 4$ ～第 $n - 9$ ビット目のバス配線 2 0 ($n - 4$) ～2 0 ($n - 9$) を第 1 ～第 3 配線層に配置し、その後、全ビットのバス配線が配置されるまで、未配置且つ上位側の 6 ビット分のバス配線の配置と、未配置且つ下位ビット側の 6 ビット分のバス配線の配置とを順次その周りを取り囲むように繰り返す。

【 0 0 5 6 】

従って、本実施の形態においても、前記第 5 の実施の形態と同様に、配線層が

3層の場合であっても、信号変化頻度の多い下位ビットのバス配線を信号変化頻度の少ない上位ビットのバス配線によって挟み込む構造として、上位ビットのバス配線にシールドの役目を果たさせることができるので、信号伝播の遅延の増大を極力減らすことができる。

【 0 0 5 7 】

以上、配線層が2層及び3層の場合でのバス配線方法について説明したが、本発明は4配線層以上の n 配線層 ($n \geq 4$) にバス配線を立体的に且つ平行に配置する場合であっても同様に適用できるのは勿論である。即ち、最初に n 配線層のうち上下中間位置に位置する配線層に最下位ビットの第0ビットのバス配線を配置した後は、その上下左右の位置の配線層に上位ビット側の4ビット分のバス配線を配置し、続いてその上位ビット側の4本のバス配線の上下左右の配線層に今度は下位ビット側の6ビット分のバス配線を配置することを繰り返して、全ビットのバス配線の配置を完了する方法も本願発明に包含される。

【 0 0 5 8 】

(第8の実施の形態)

図8に本発明の第8の実施の形態の半導体集積回路の構成図を示す。

【 0 0 5 9 】

同図に示した半導体集積回路において、100は所定の処理として演算を行う演算器(処理回路)、101は複数本(同図では4本)のバス配線、102はスイッチ回路(スイッチ手段)であって、前記演算器100と前記バス配線101の一端部との間に配置される。

【 0 0 6 0 】

前記演算器100で得られた4ビットの演算結果は、前記スイッチ回路102を経て4本のバス配線101に出力される。このスイッチ回路102は、演算器100の4ビットの演算結果信号の並び順を、それら演算結果信号の信号変化頻度の昇順又は降順で並べないように変更し、その変更後の信号変化頻度の多いバス配線同士が隣り合わせに並べない順の演算結果信号を前記バス配線101に伝達する。このスイッチ回路102が変更する信号の並び順の具体例は、前記第2～第7の実施の形態で説明した通りである。

【 0 0 6 1 】

前記バス配線 1 0 1 の他端部にまで伝播された演算結果信号は、他のスイッチ回路（他のスイッチ手段） 1 0 3 を経て他の演算器（受信回路） 1 0 4 に受信され、取り込まれて、この演算器 1 0 4 での演算に供される。前記他のスイッチ回路 1 0 3 は、バス配線 1 0 1 を伝播してきた 4 ビットの演算結果信号の並び順を、演算器 1 0 0 の 4 ビットの出力信号の並び順である信号変化頻度の昇順又は降順に変更し、この変更した順の演算結果信号を演算器 1 0 4 に伝達する。

【 0 0 6 2 】

従って、本実施の形態では、バス配線 1 0 1 を伝播する信号の並び順をスイッチ回路 1 0 2 で変更するので、バス配線 1 0 1 自体の構成を変更する必要がなく、バス配線 1 0 1 として従来と同様のものを使用できる。しかも、バス配線 1 0 1 を伝播してきた信号は他のスイッチ回路 1 0 3 によりその並び順を元に戻され、通常のビット並び順で他の演算器 1 0 4 に取り込まれるので、演算器 1 0 4 は所期通りの演算を行うことが可能である。

【 0 0 6 3 】

【発明の効果】

以上説明したように、請求項 1 及び 1 2 記載の発明によれば、複数ビットのバス配線をビットの昇順又は降順に配線する場合に、信号の変化頻度が多い所定ビット目未満の下位ビットのバス配線間の配線間隔を所定ビット目以上のバス配線間隔よりも広く設定したので、半導体集積回路の面積の増大を有効に抑えつつ、信号の変化頻度が多いバス配線間の信号の逆相変化に伴う遅延の増大に起因する半導体集積回路の動作の不具合を有効に抑制ないし解消することができる。

【 0 0 6 4 】

また、請求項 2 ～ 1 1 及び請求項 1 3 ～ 2 0 記載の発明によれば、複数のバス配線を配置する場合に、信号変化頻度の多いバス配線と信号変化頻度の少ないバス配線とが隣接しないように配置したので、半導体集積回路の面積を不要に増大させることなく、信号変化頻度の少ないバス配線をシールド配線と同様の作用を奏させて、信号変化頻度の多いバス配線間の信号の逆相変化に起因する半導体集積回路の動作の不具合を有効に抑制ないし解消することが可能である。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。

【図 2】

本発明の第 2 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。

【図 3】

本発明の第 3 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。

【図 4】

本発明の第 4 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。

【図 5】

本発明の第 5 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。

【図 6】

本発明の第 6 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。

【図 7】

本発明の第 7 の実施の形態のバス配線方法及び半導体集積回路を示す説明図である。

【図 8】

本発明の第 8 の実施の形態の半導体集積回路の構成を示す図である。

【図 9】

従来のバス配線方法の説明図である。

【図 1 0】

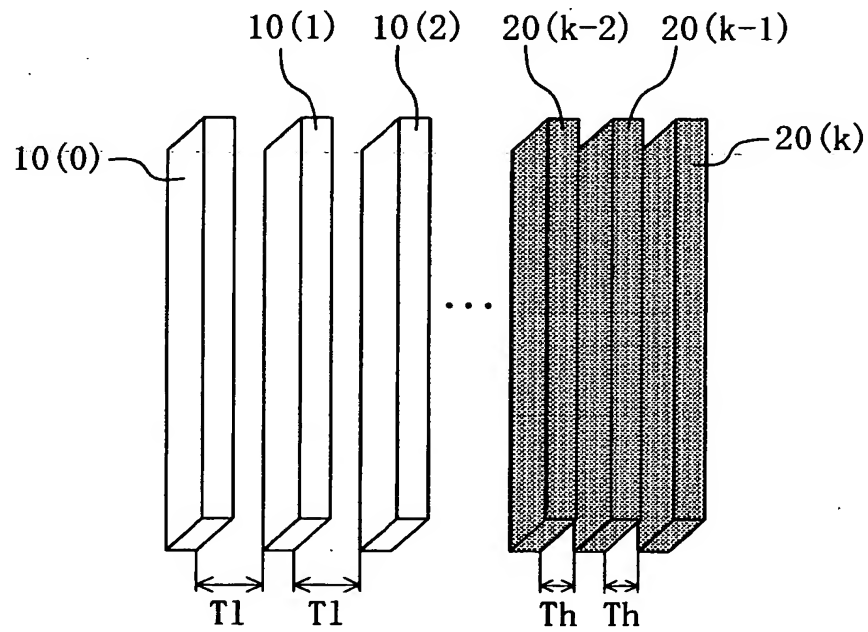
配線間の容量の説明図である。

【符号の説明】

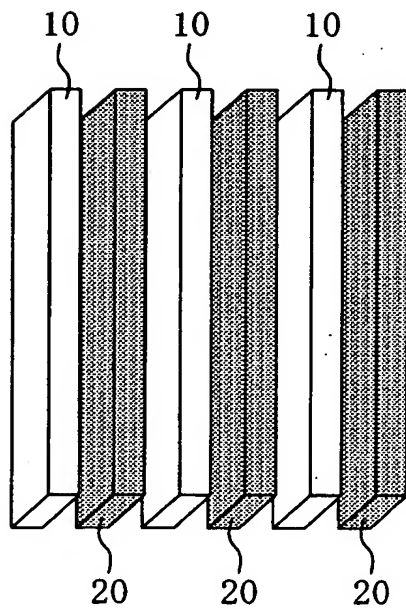
1、2	配線
3	配線間容量
1 0	信号変化頻度の多い下位ビット配線
1 0 (0)	第 0 ビット目のバス配線
1 0 (1)	第 1 ビット目のバス配線
1 0 (2)	第 2 ビット目のバス配線
1 0 (3)	第 3 ビット目のバス配線
1 0 (4)	第 4 ビット目のバス配線
1 0 (5)	第 5 ビット目のバス配線
1 0 (6)	第 6 ビット目のバス配線
2.0	信号変化頻度の少ない上位ビット配線
2 0 (n)	第 n ビット目のバス配線
2 0 (n - 1)	第 n - 1 ビット目のバス配線
2 0 (n - 2)	第 n - 2 ビット目のバス配線
2 0 (n - 3)	第 n - 3 ビット目のバス配線
2 0 (n - 4)	第 n - 4 ビット目のバス配線
2 0 (n - 5)	第 n - 5 ビット目のバス配線
2 0 (n - 6)	第 n - 6 ビット目のバス配線
2 0 (n - 7)	第 n - 7 ビット目のバス配線
2 0 (n - 8)	第 n - 8 ビット目のバス配線
2 0 (n - 9)	第 n - 9 ビット目のバス配線
1 0 0	演算器 (処理回路)
1 0 1	バス配線
1 0 2	スイッチ回路 (スイッチ手段)
1 0 3	他のスイッチ回路 (他のスイッチ手段)
1 0 4	他の演算器 (受信回路)

【書類名】 図面

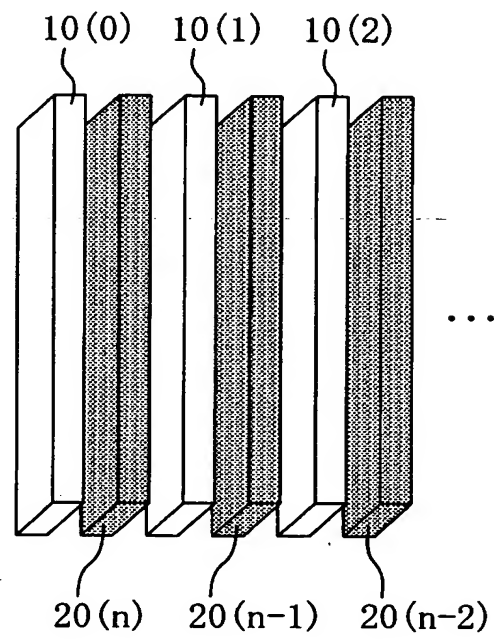
【図 1】



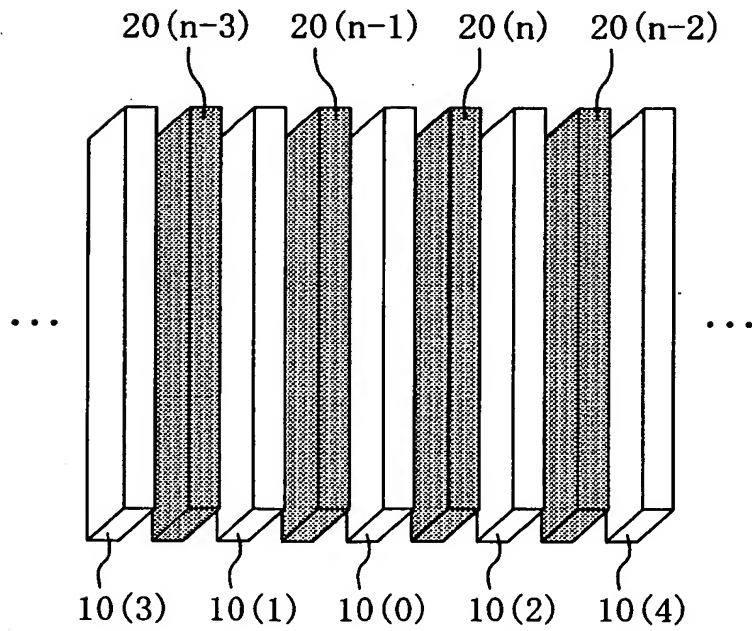
【図 2】



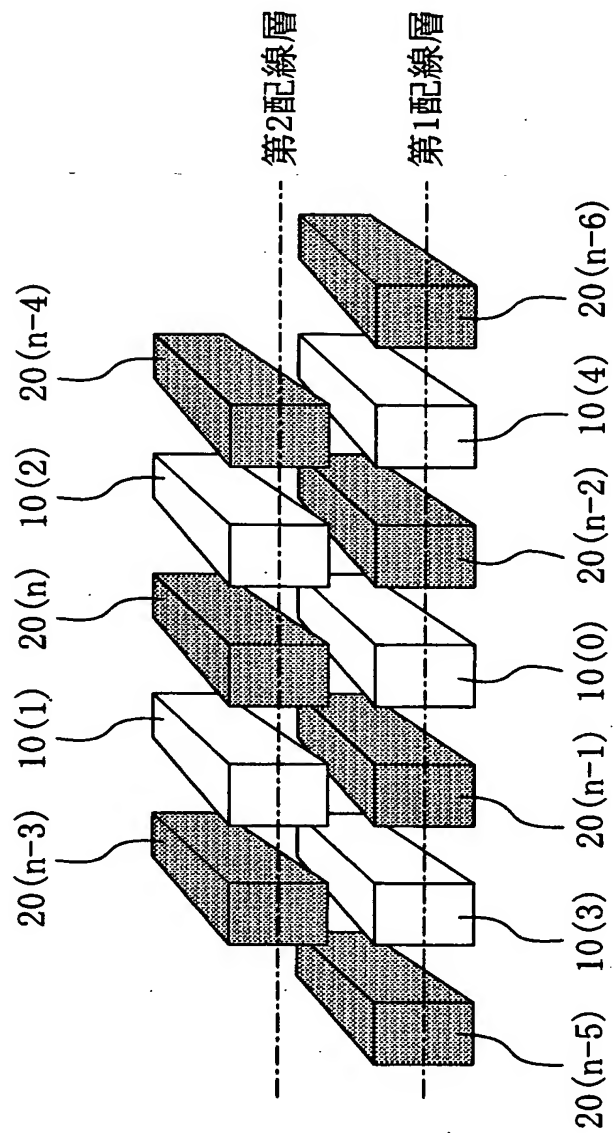
【図 3】



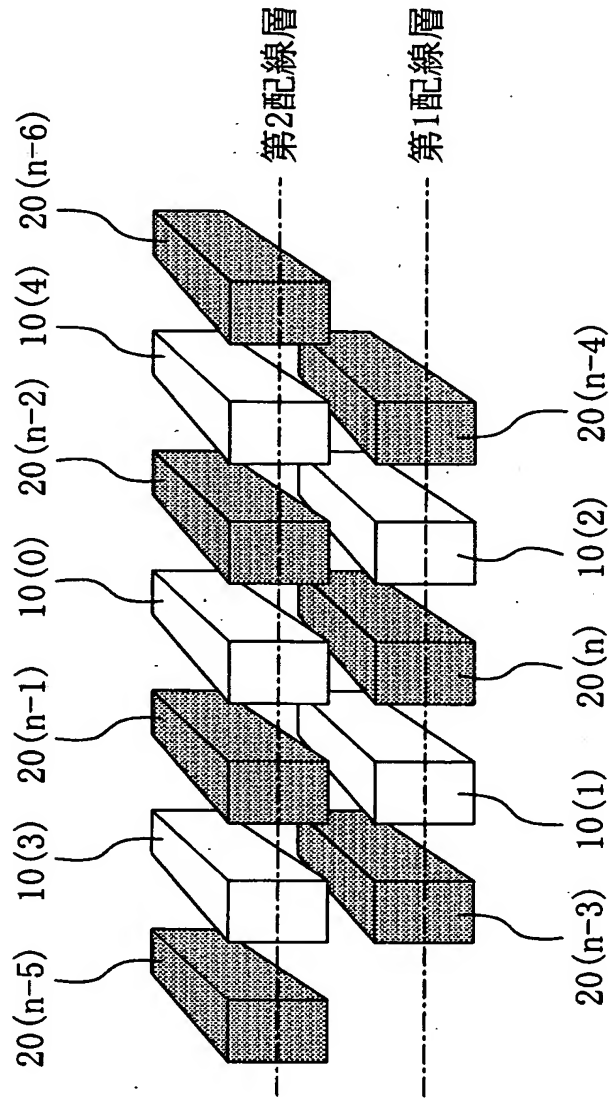
【図 4】



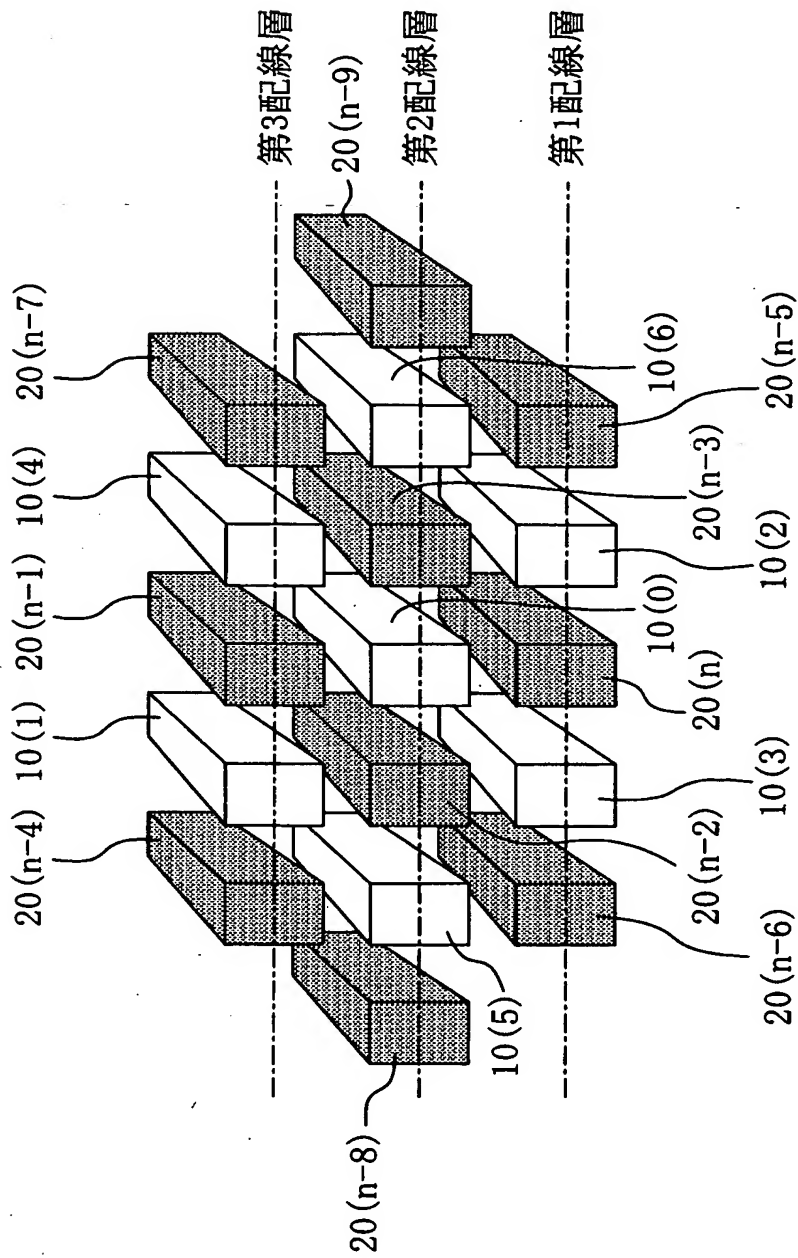
【図 5】



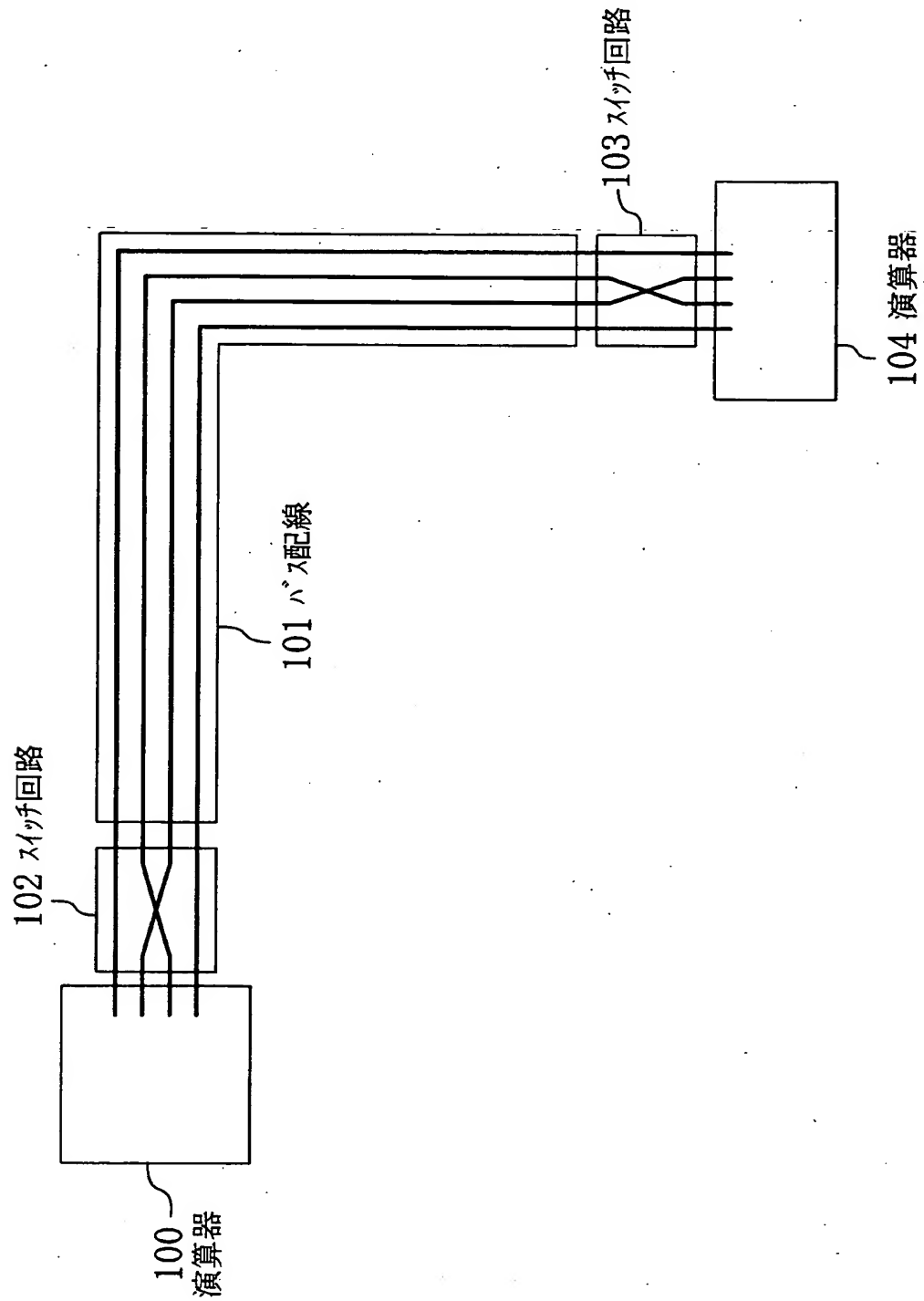
【図 6】



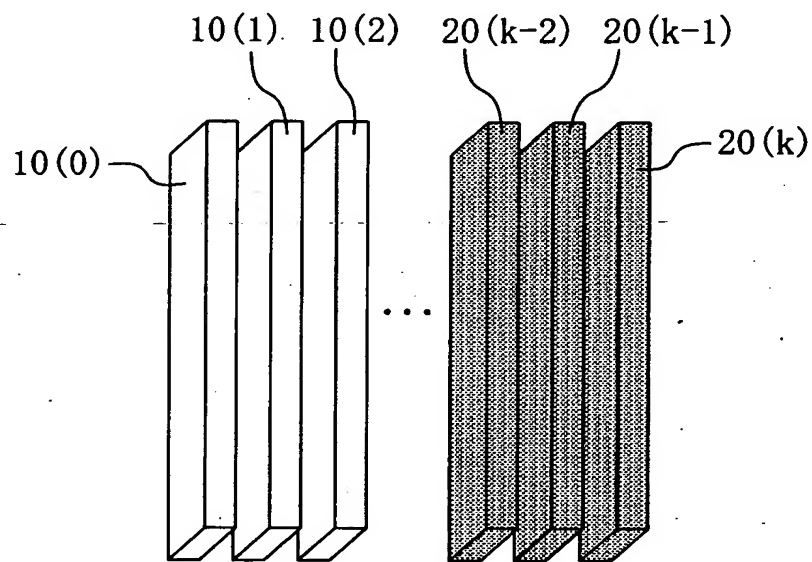
【図 7】



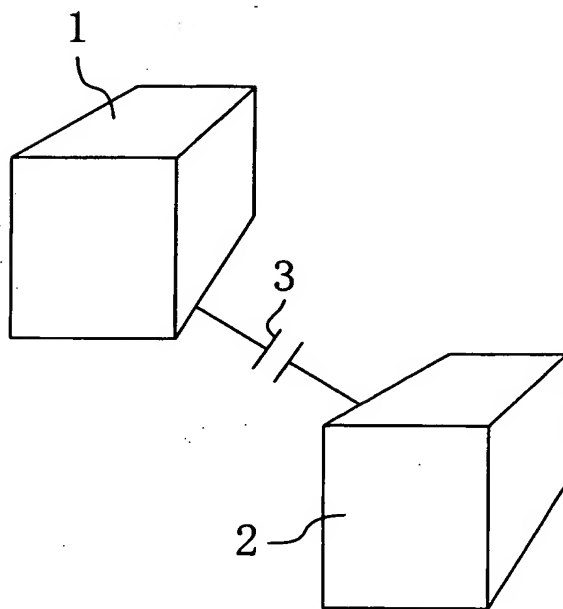
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 複数のバス配線を平行配置する場合に、2つの近接した平行配線を伝播する各信号が逆相に変化することに起因する遅延の増大によって半導体集積回路の動作に不具合が生じることを、面積の増大を小さくしつつ抑制する。

【解決手段】 例えば6ビットのバス配線を配線するに際し、信号変化頻度の多い下位3ビットのバス配線10と、信号変化頻度の少ない上位3ビットのバス配線20とを交互に配置し、下位ビットのバス配線10の左右に上位ビットのバス配線20を挟み込むレイアウトとする。これにより、下位ビット線のバス配線10の信号変化に対して、上位ビット線のバス配線20がシールド配線と同様の作用を奏する。従って、下位ビット線のバス配線10を伝播する信号が逆相に変化することに起因する遅延の増大が有効に抑制される。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社